

Vorlesung



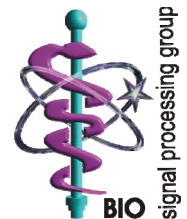
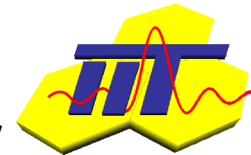
# Informationstechnische Systeme zur Signal- und Wissensverarbeitung

---

PD Dr.-Ing. Gerhard Staude

## Arbeitsfolien - Teil 3 Module

Institut für  
Informationstechnik



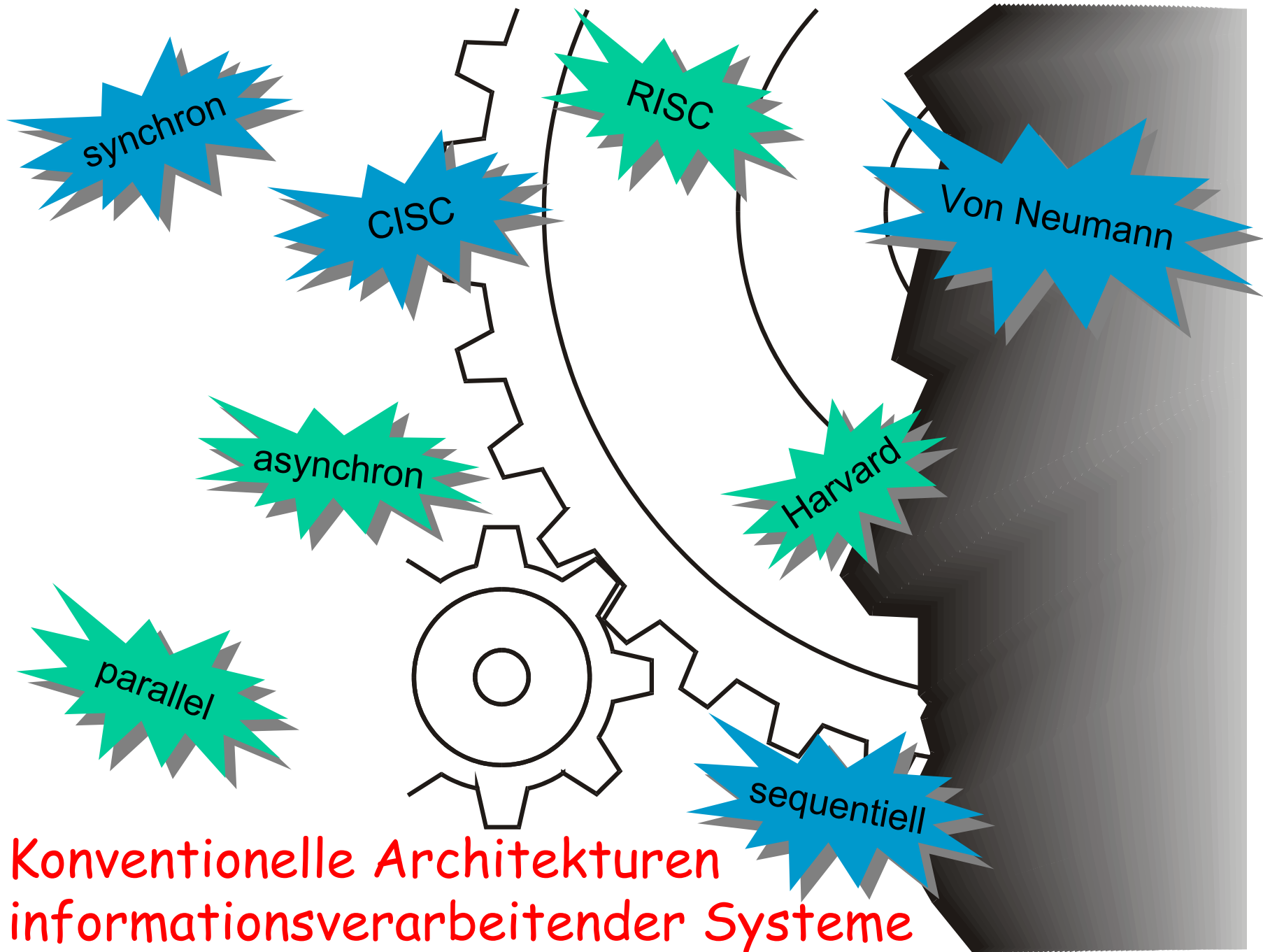
Fakultät für Elektrotechnik und Informationstechnik

*der Bundeswehr*  
Universität  München

# Übersicht

---

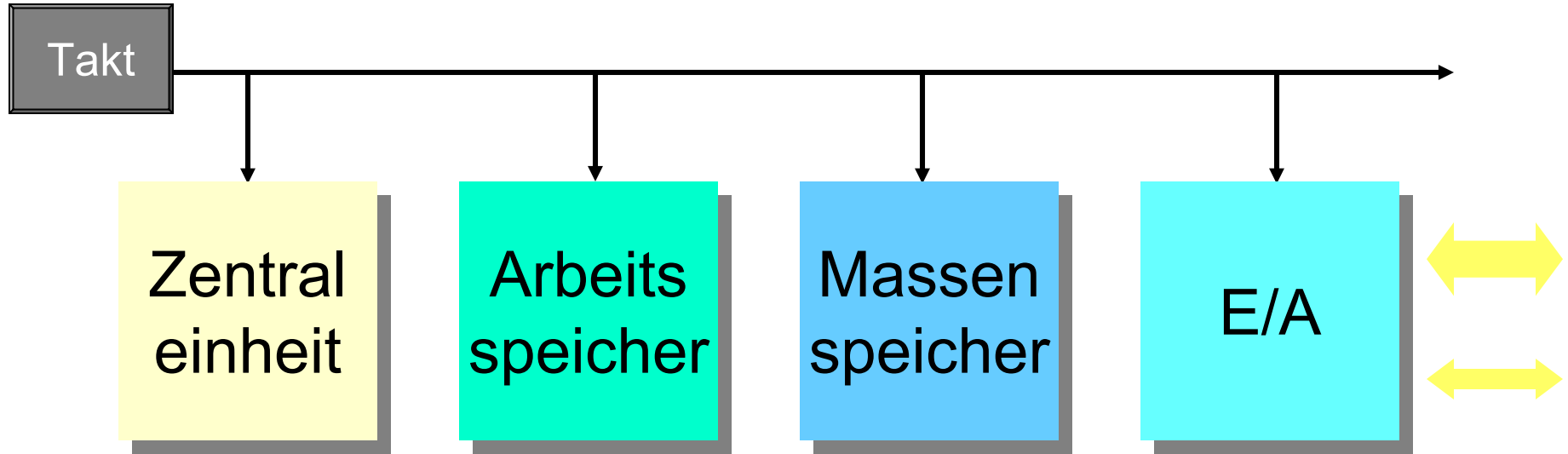
- Verbindungsstrukturen
- E/A-Schnittstellen
- Speicherhierarchie
- Massenspeicher (Festplatte, CD-ROM)
- Arbeitsspeicher (DRAM)
- Cache
- Virtueller Speicher



# Konventionelle Architekturen informationsverarbeitender Systeme

Kooperation ist gefragt:

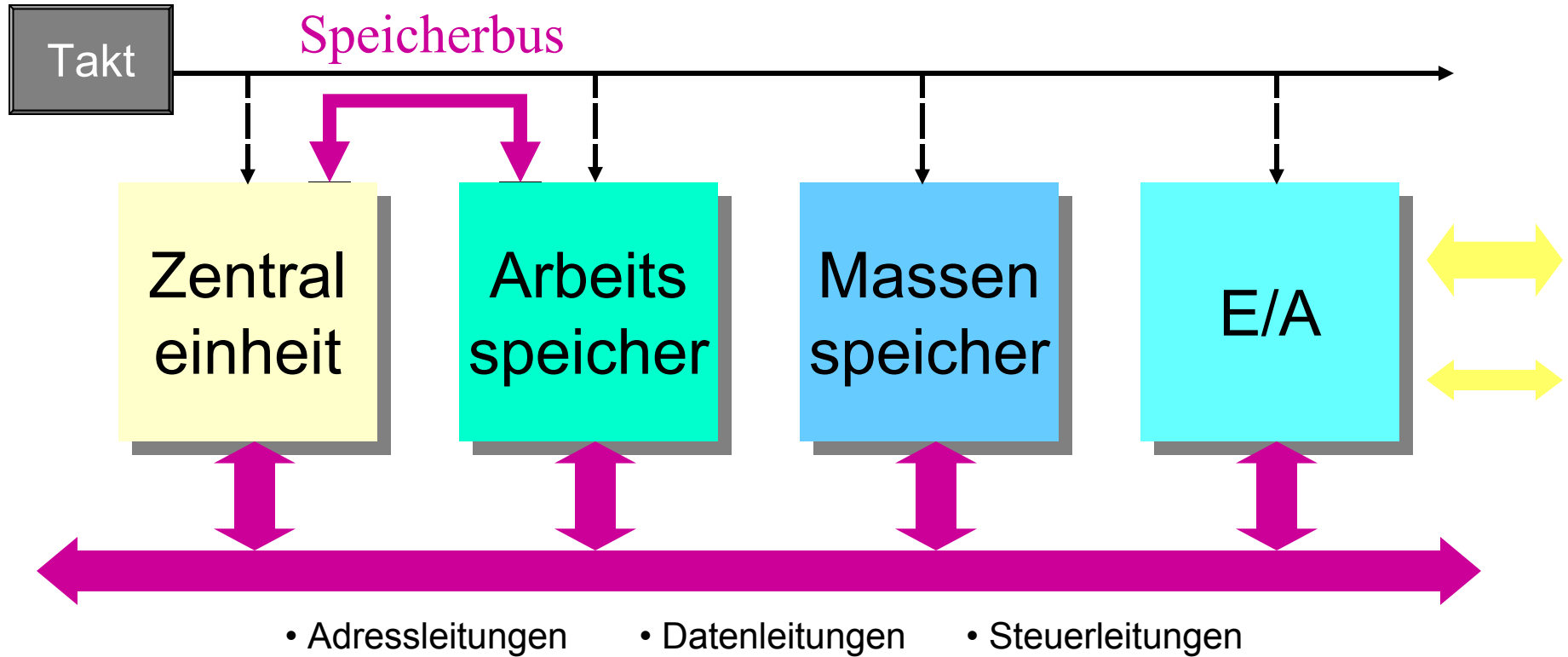
## Komponenten eines Rechnersystems



Kommunikation über Verbindungsstruktur  
(interconnect)

# Alle auf einem ...

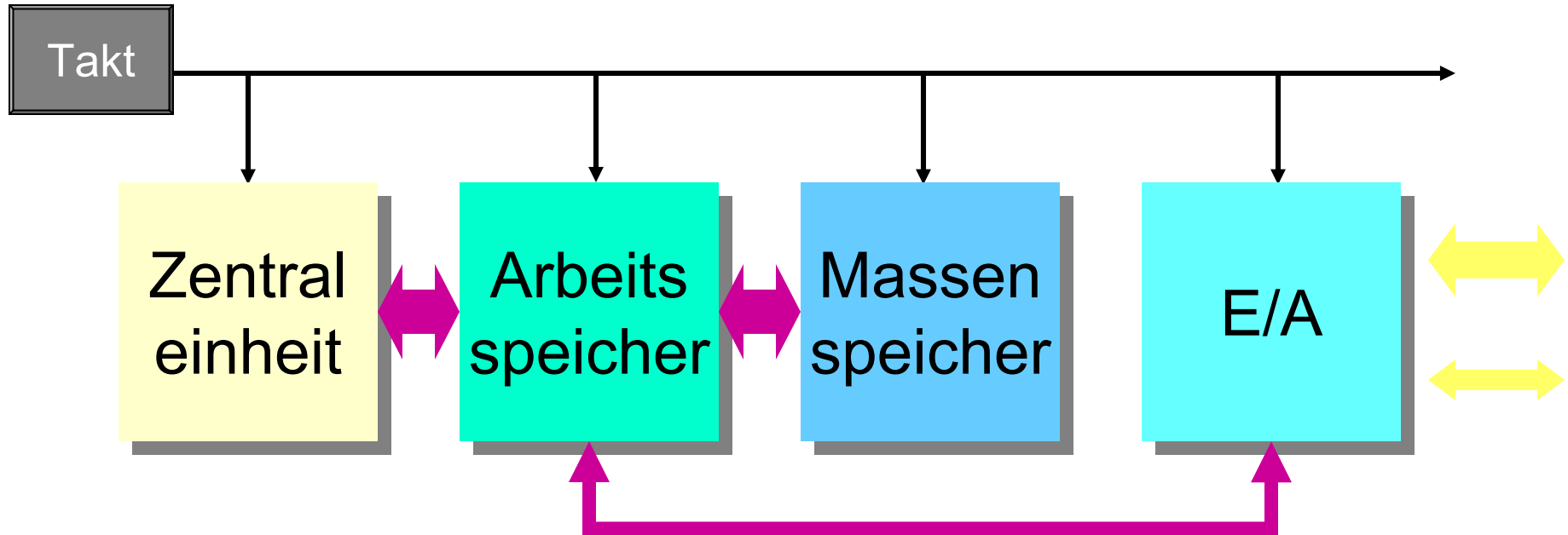
shared bus



- parallel
- synchron
- Master/Slave Betrieb (Handshake)
- seriell
- asynchron
- Konfliktmanagement (Arbitrierung)

Zugleich !

## Multiportstrukturen

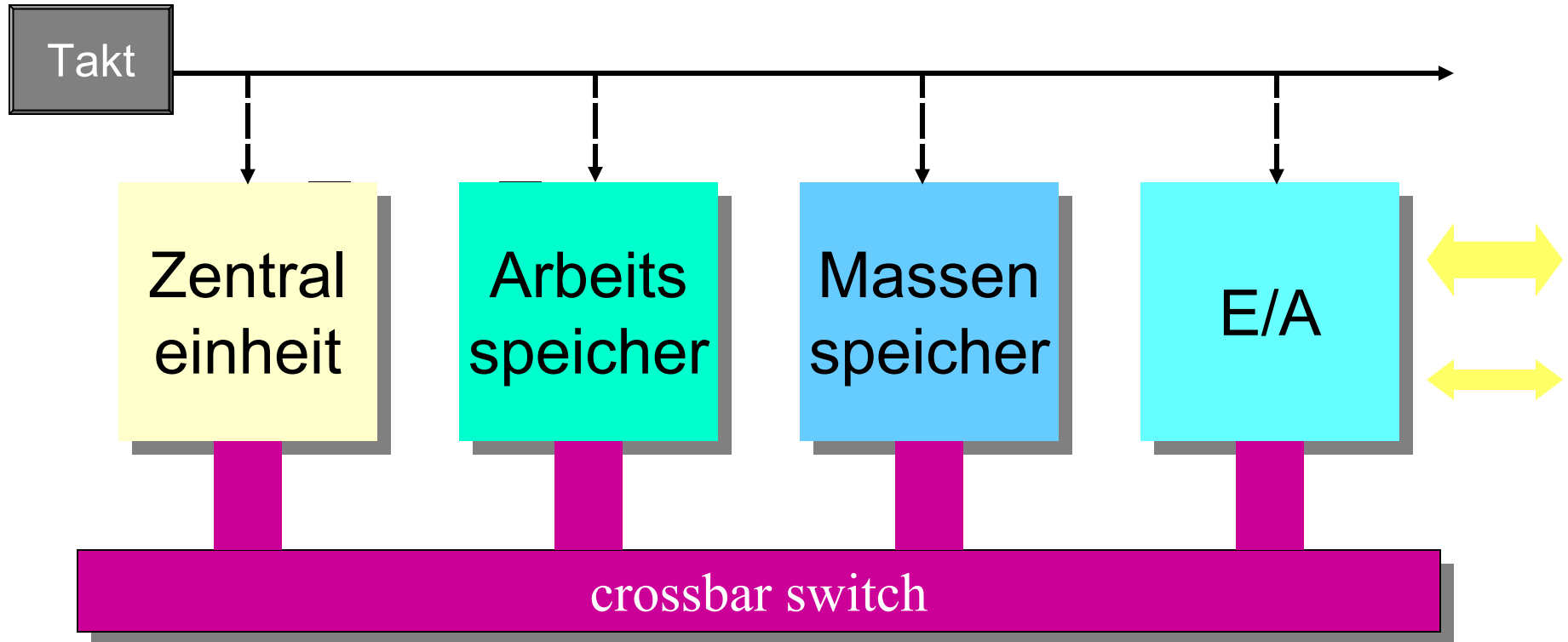


- privater Anschluss (port) für jeden Master
- Arbitrierung erforderlich

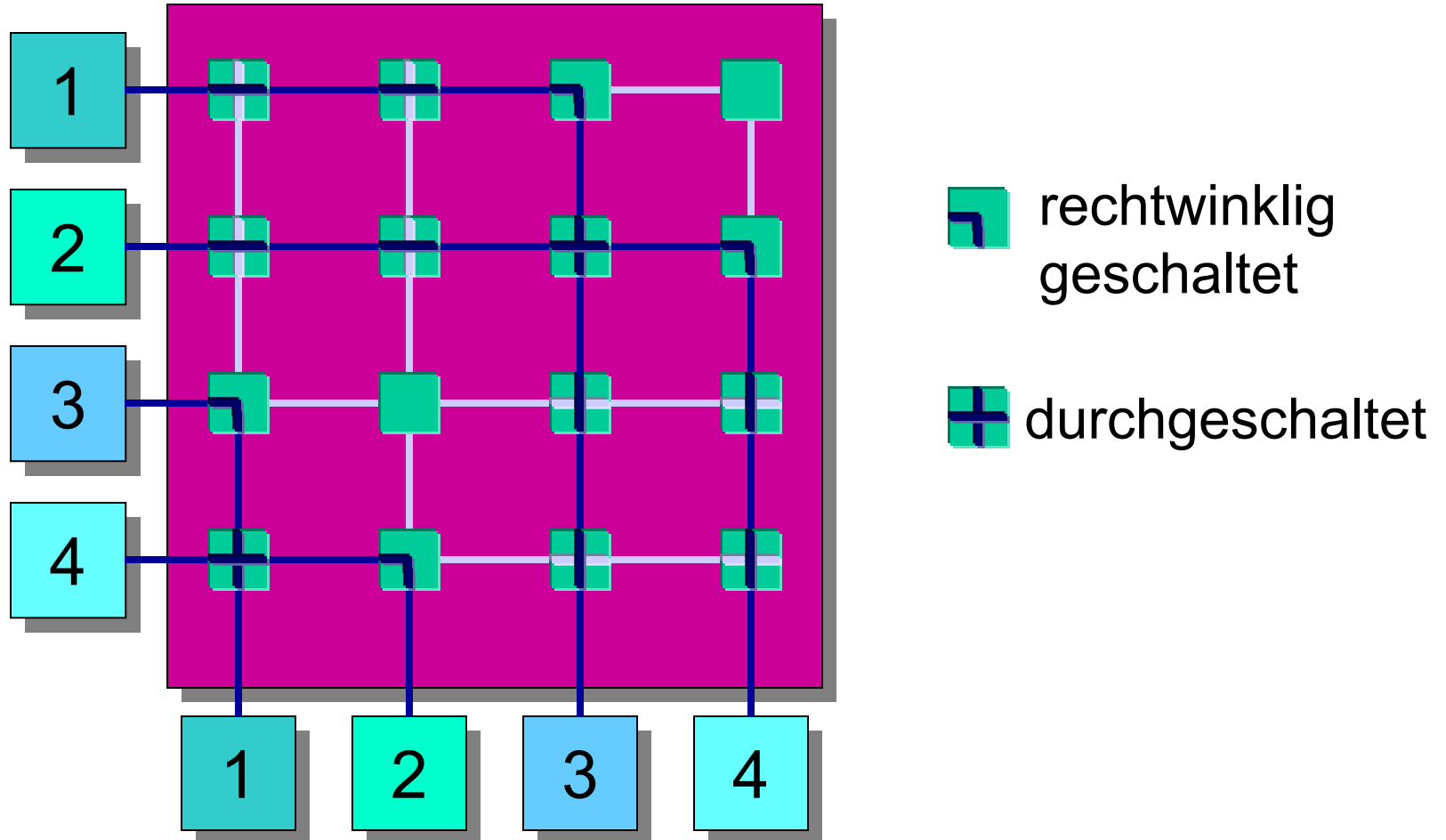
- Mehrportspeicher
- memory-mapped I/O

jeder mit jedem ...

# Kreuzschienenverteiler

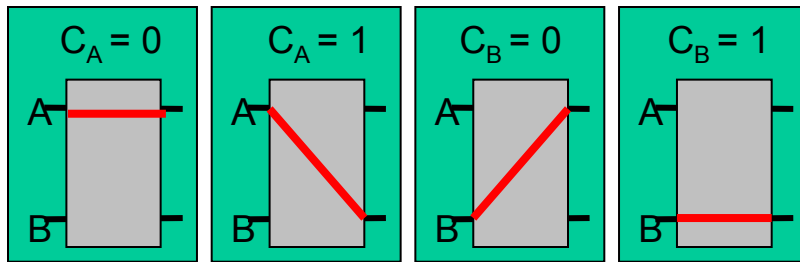


# crossbar switch: Prinzip

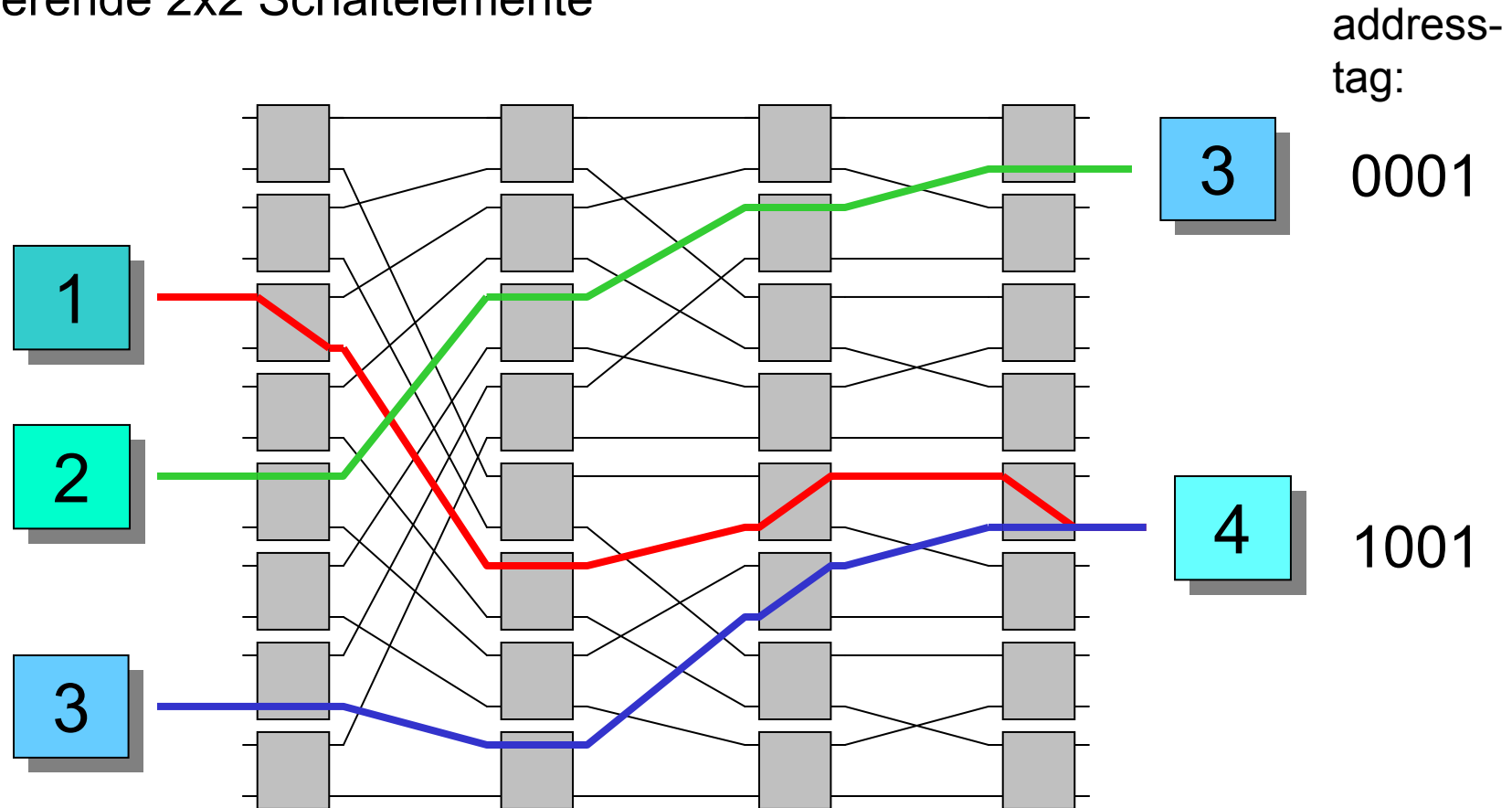


# Pfadfinder ...

## Vermittlungsnetzwerk

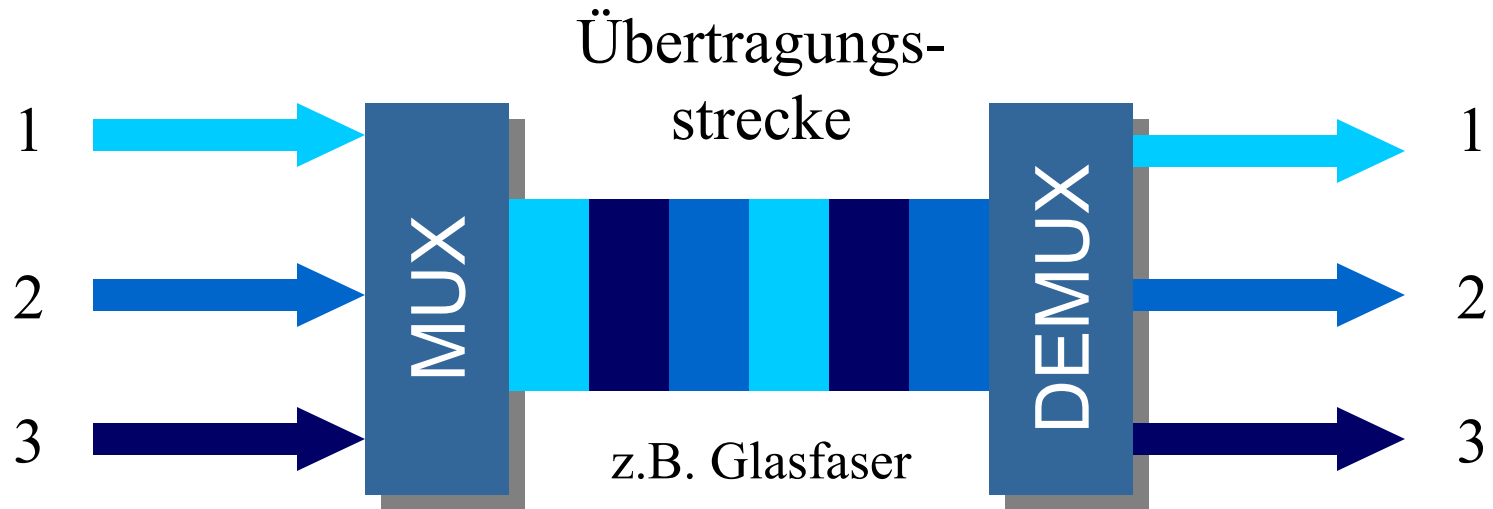


Blockierende 2x2 Schaltelemente



- dynamische Verbindungsnetzwerke
  - Knoten sind Schaltelemente
  - Routing durch Netzwerk
- statische Verbindungsnetzwerke
  - Knoten sind Computer
  - Punkt-zu-Punkt Verbindungen
  - Wegsuche (Routing) durch Computer

# Hochratige Verbindung



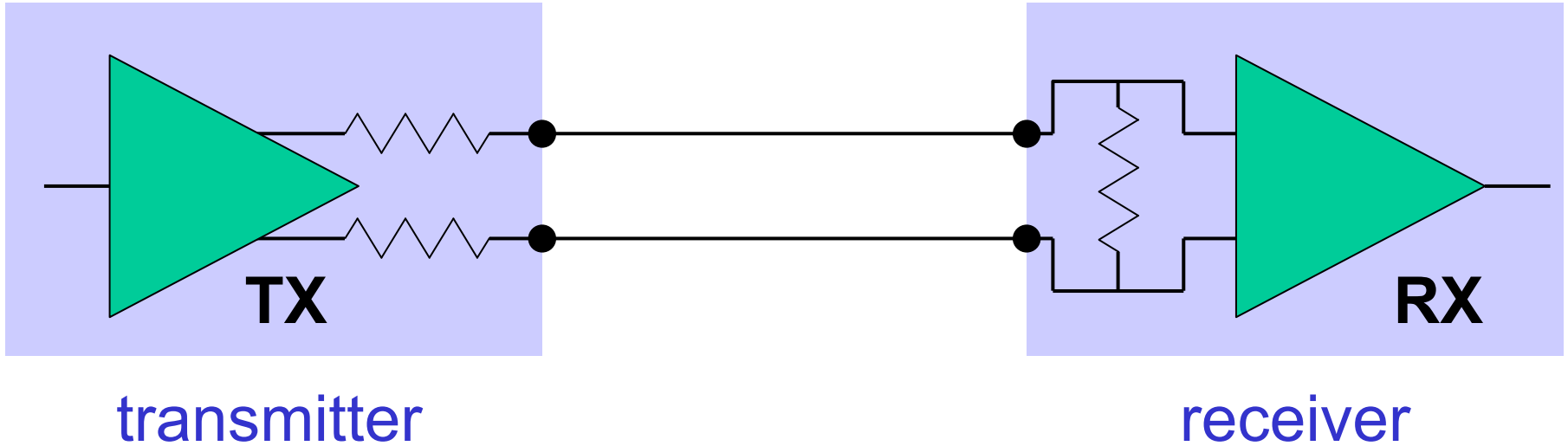
## time division multiplexing (**TDM**)

- Zeitmultiplex, Gbit/s

## dense wavelength division multiplexing (**DWDM**)

- Wellenmultiplex, Tbit/s
- TDM mit Lasern unterschiedlicher Wellenlänge

# Einbahnstraße - unidirektionale differenzielle Übertragung



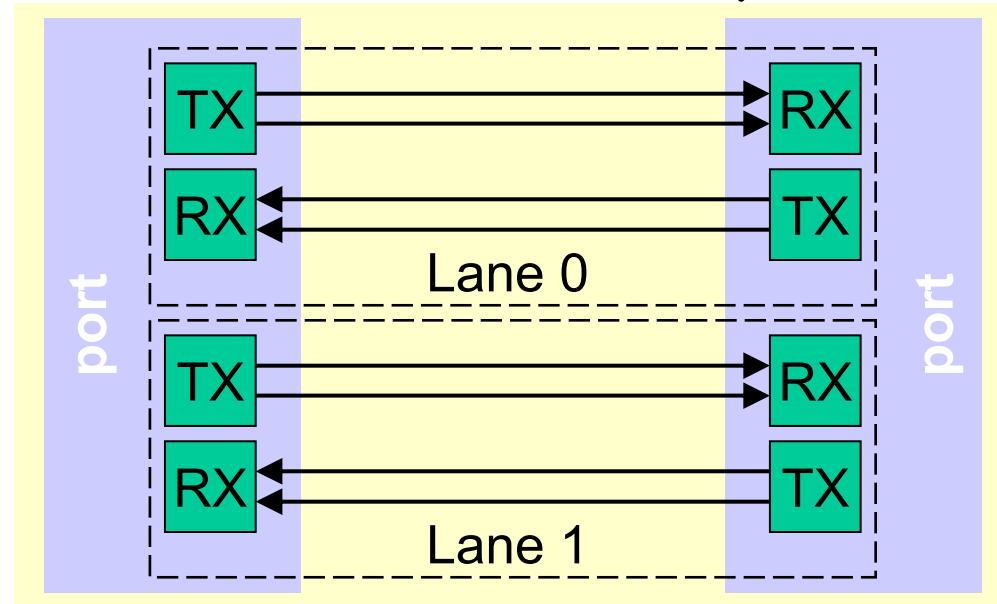
- dedizierte Ein/Ausgänge
- Summenstrom wird zu 0
- gleiche Stromaufnahme für H und L
- niedrige Spannung
- Störsicherheit

Kooperation ist gefragt:

## Komponenten eines Rechnersystems

- PCI Express

Link (x2)



**Prinzip:** paketorientierte Übertragung über serielle Punkt-zu-Punkt Verbindung (8B/10B Codierung)

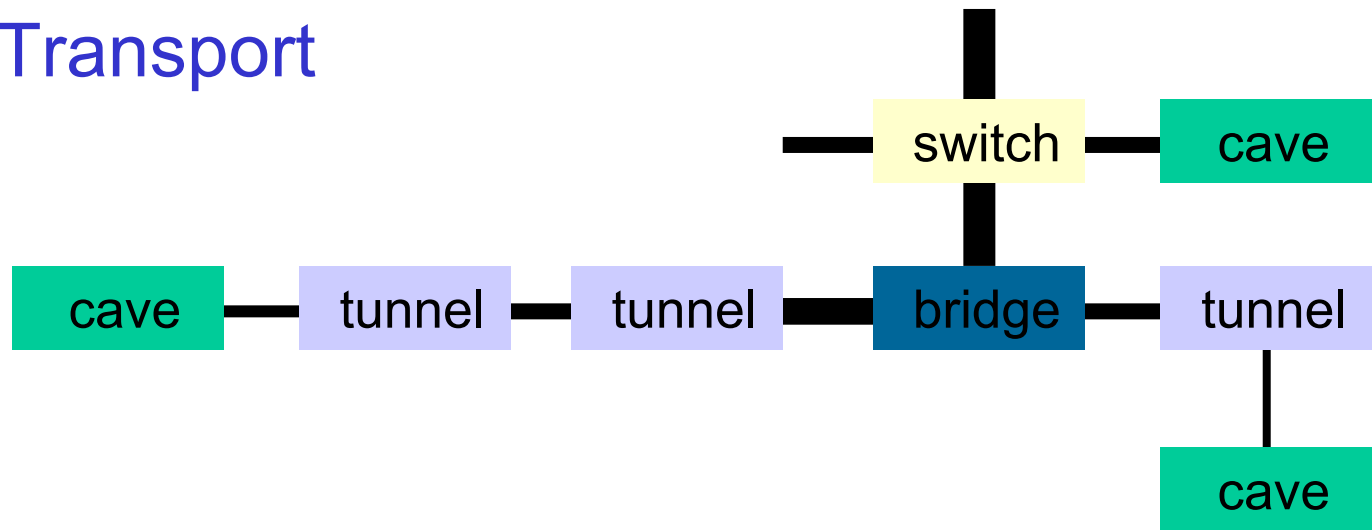
**kleinste Einheit:** zwei unidirektional und differenziell betriebene Leitungspaare (Lane)

- flexible lineare Skalierung (1,2,8,16,32 Lanes)
- 2.5 Gbit/s (2.0 effektiv) pro Richtung und Lane bei 2.5 GHz
- theoret. Bandbreite ca 9.53 GByte/s pro Richtung (x32 link)

# Kooperation ist gefragt:

## Komponenten eines Rechnersystems

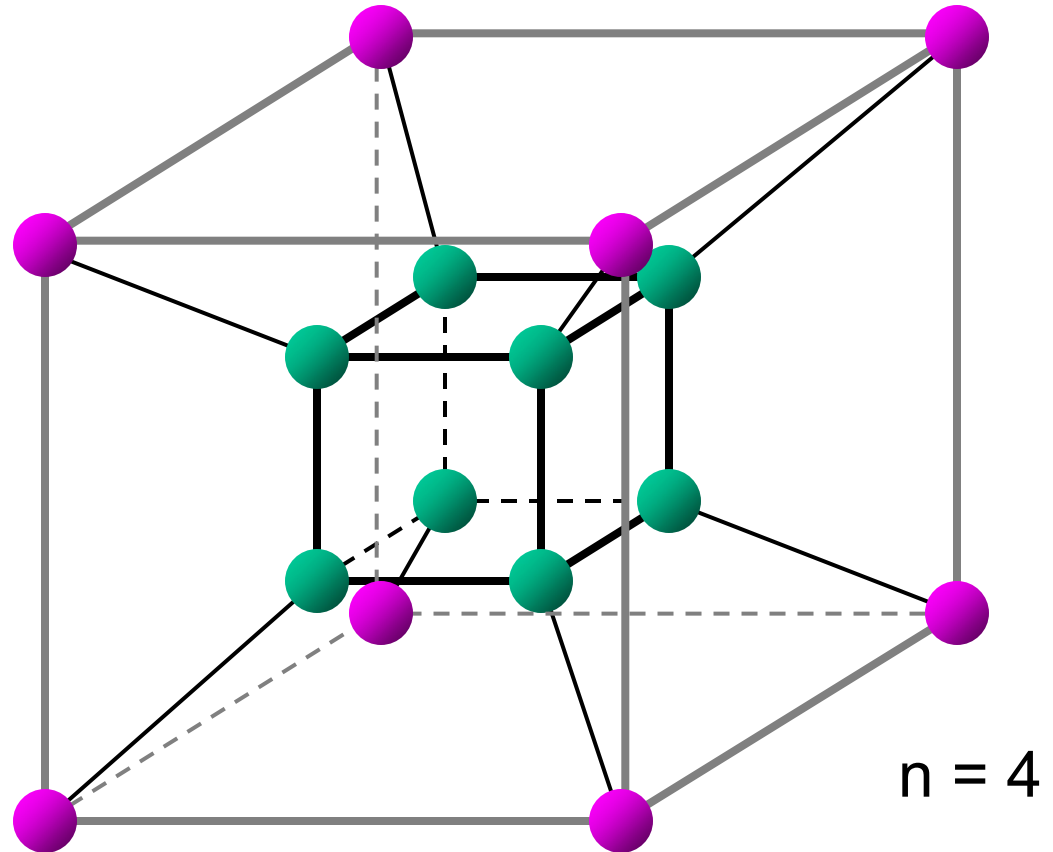
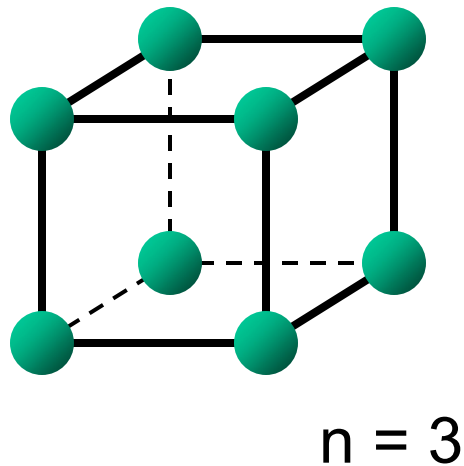
- HyperTransport



**Prinzip:** paketorientierte Übertragung über parallele Punkt-zu-Punkt Verbindung

**kleinste Einheit:** zwei unidirektionale differenzielle Verbindungen mit 2, 4, 8, 16, 32 bit pro Richtung (hypertransport link)

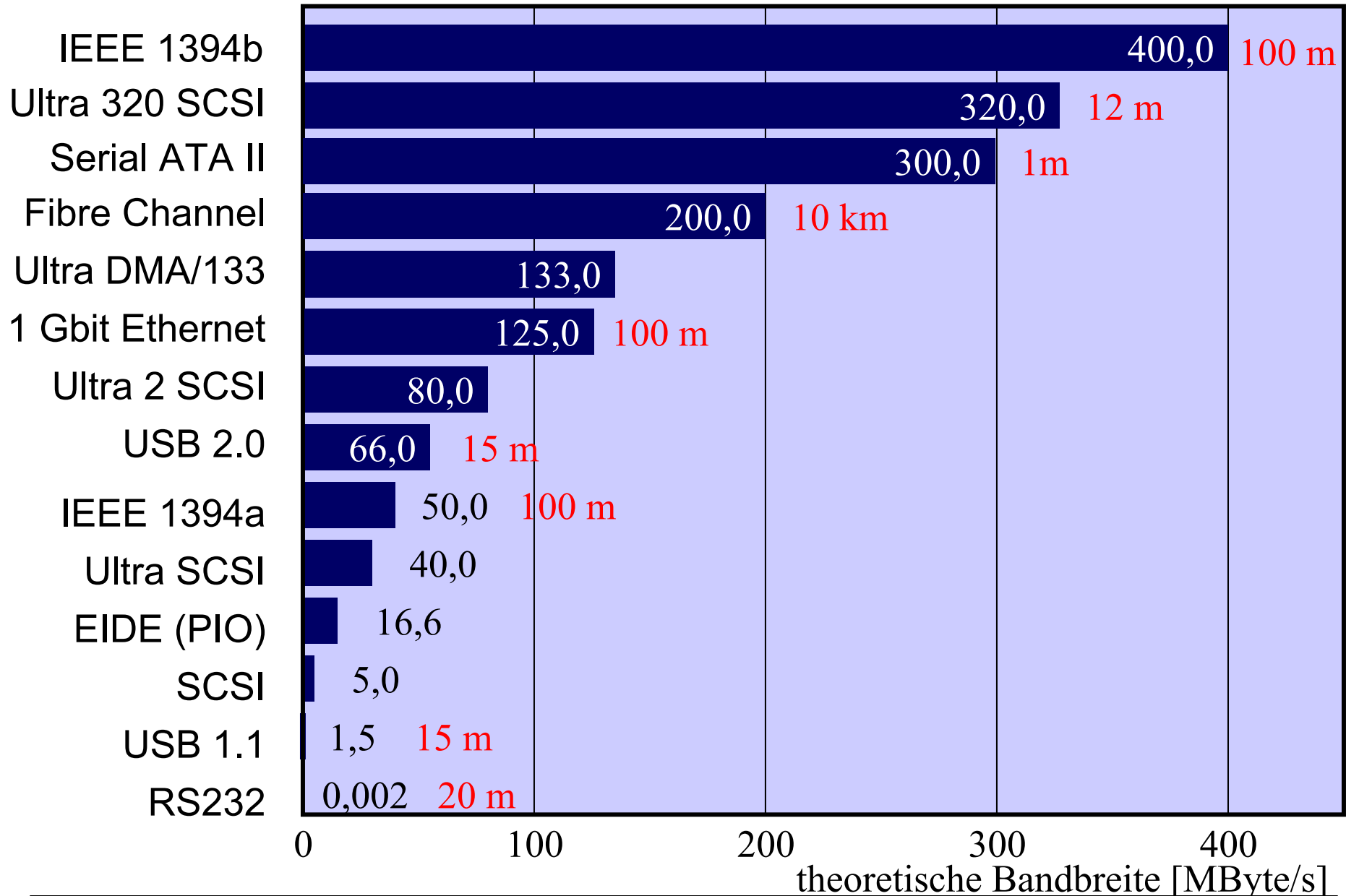
- skalierbare Frequenz (200 – 1400 MHz) und Bitbreite
- 2.8 Gbit/s pro Richtung und Leitungspaar bei 1.4 GHz
- theoret. Bandbreite 11.2 GByte/s pro Richtung (bei 32 bit link)



- $2^n$  Knoten jeweils mit  $n$  nächsten Nachbarn verbunden
- die maximale Entfernung im Netz ist  $n$

- **V.24 (RS232)** serielle Schnittstelle (CCITT)
- **IEC** Parallel-Schnittstelle (Centronix)
- **LAN** Local Area Network (z.B. Ethernet)
- **USB** Universal Serial Bus
  
- **SCSI** Small Computer System Interface
  - **SCSI Wide Ultra 3** 16 Bit parallel
  - **Fibre Channel** SCSI seriell, Glasfaser
  - **IEEE 1394** SCSI seriell (Firewire, i.Link)

# Vergleich: E/A- Schnittstellen



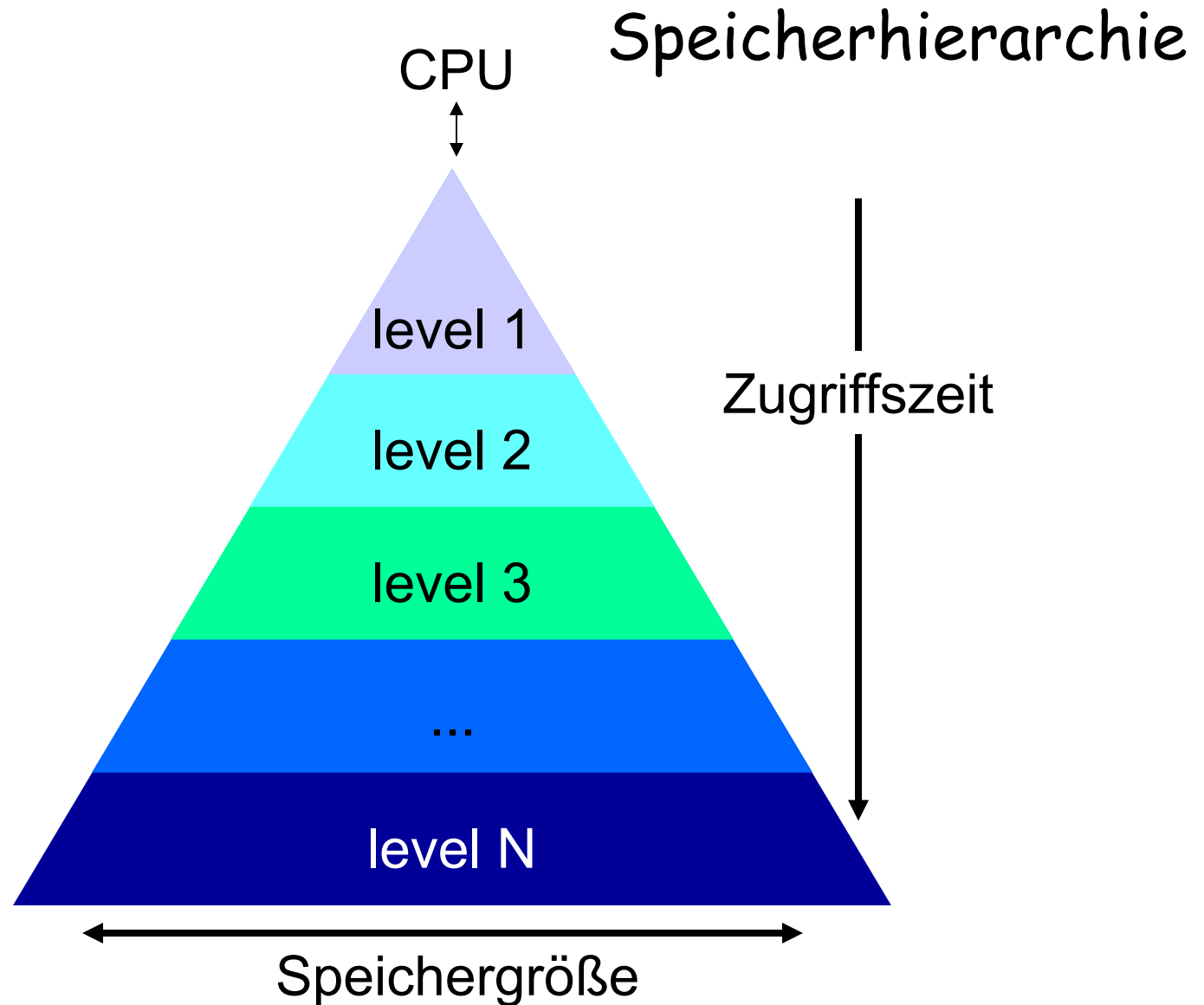
- **temporal locality**

Wurde auf einen Speicherinhalt erst kürzlich zugegriffen, so ist die Wahrscheinlichkeit eines baldigen neuerlichen Zugriffs relativ hoch.

- **spatial locality**

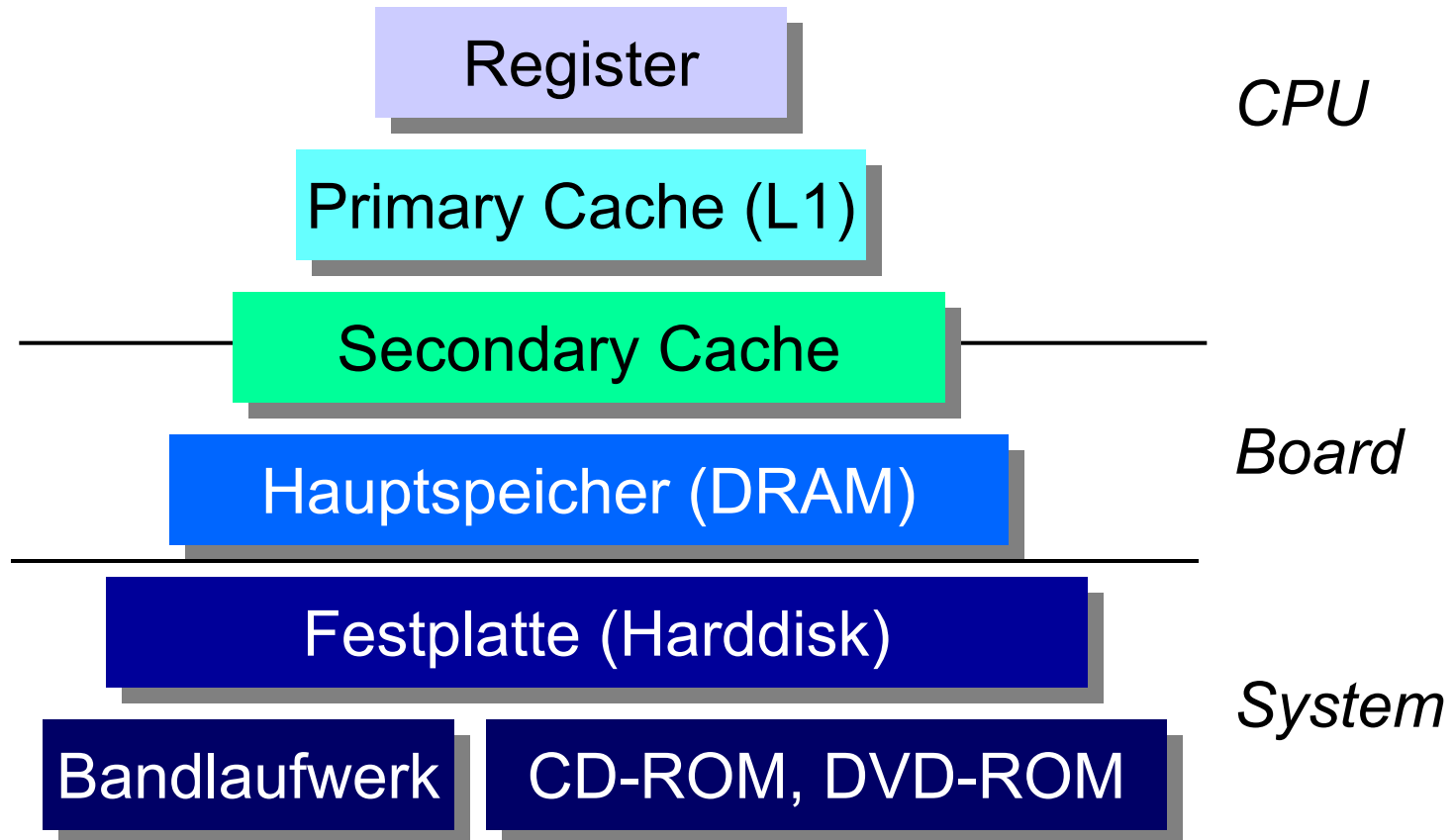
Wird auf einen Speicherinhalt gerade zugegriffen, so ist es relativ wahrscheinlich, dass der nächste Zugriff in dessen Nachbarschaft erfolgen wird.

# Die schnellen Kleinen zuerst ...



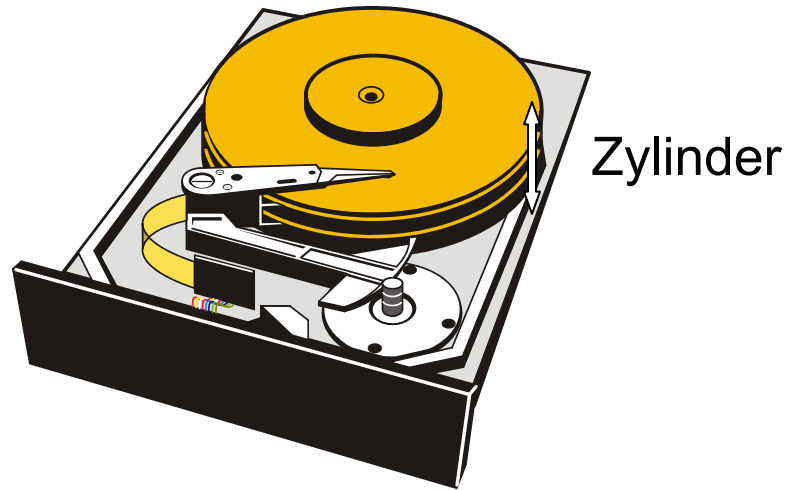
**Ziel:** Zugriffszeit von Ebene 1 für alle Daten der Ebene N

# Typische Speicherstruktur

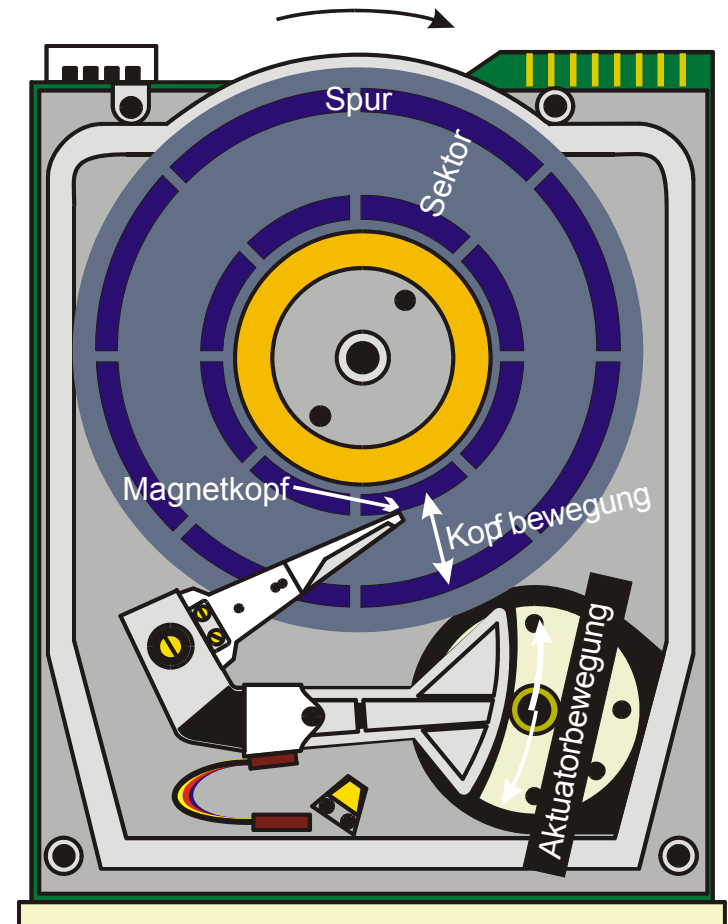


# Immer im Kreis herum ...

## die Festplatte

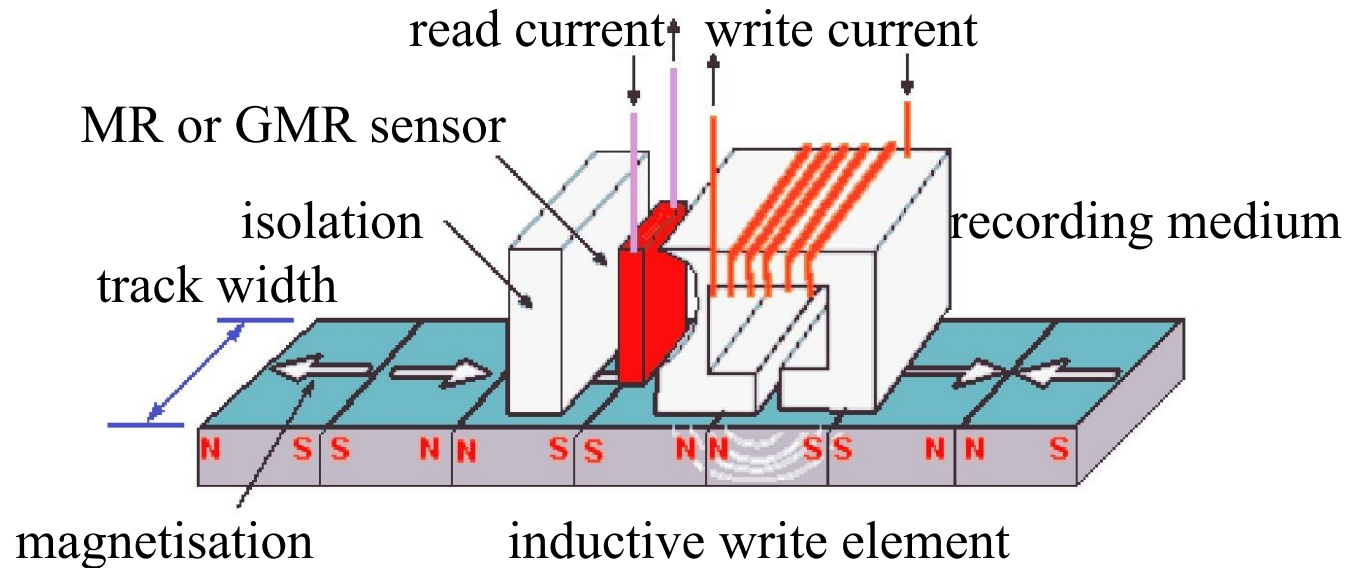


- wahlfreier Zugriff
- Cache
- zone-bit-recording
- Suchweg-/Zugriffsoptimierung
- Fehlerkorrektur
- mittlere Zugriffszeit 3.5 - 10 ms



“breit schreiben - schmal lesen” ...

# Schreib-/Lesekopf



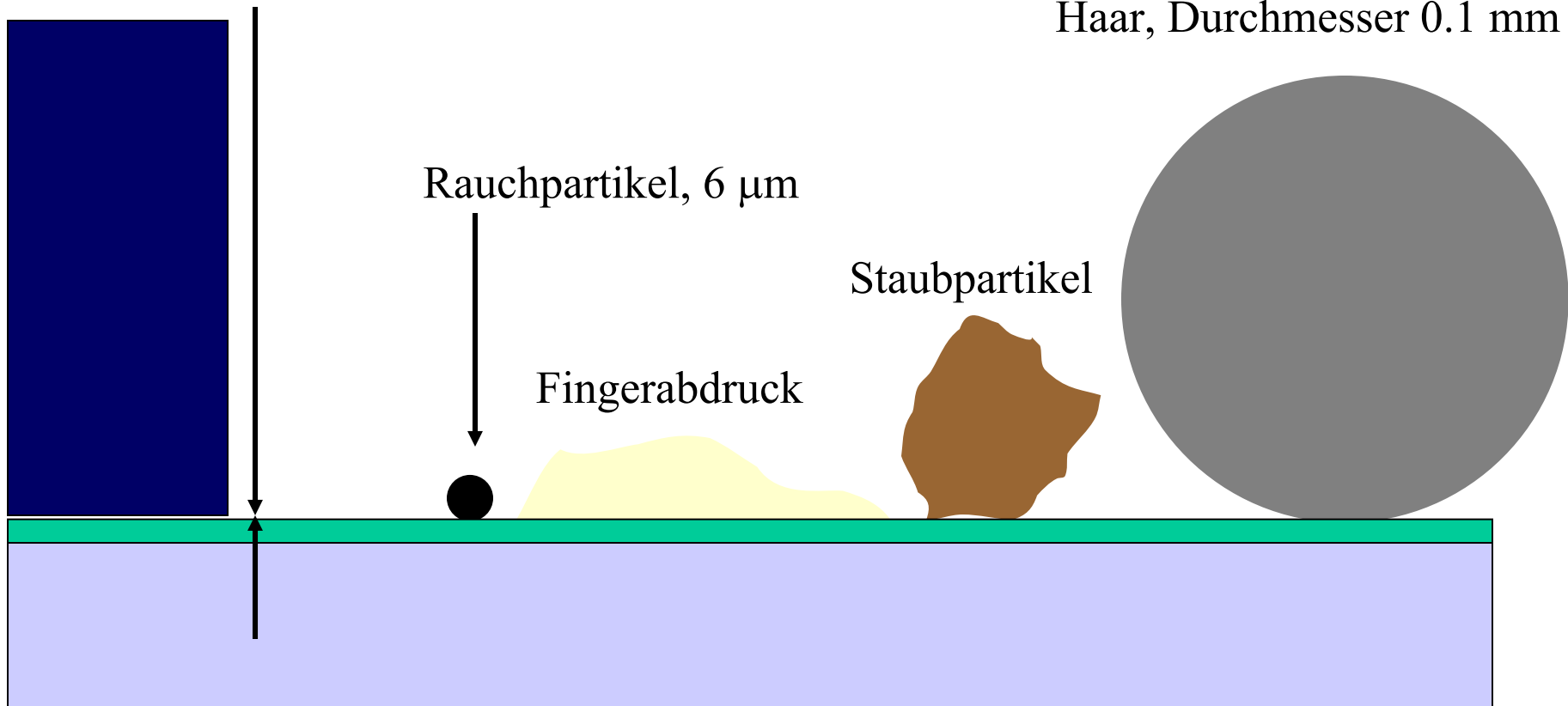
**Schreiben:** Induktiv durch Mikrospule

**Lesen:** Widerstandsänderung in magneto-resistivem Material (MR-Kopf)

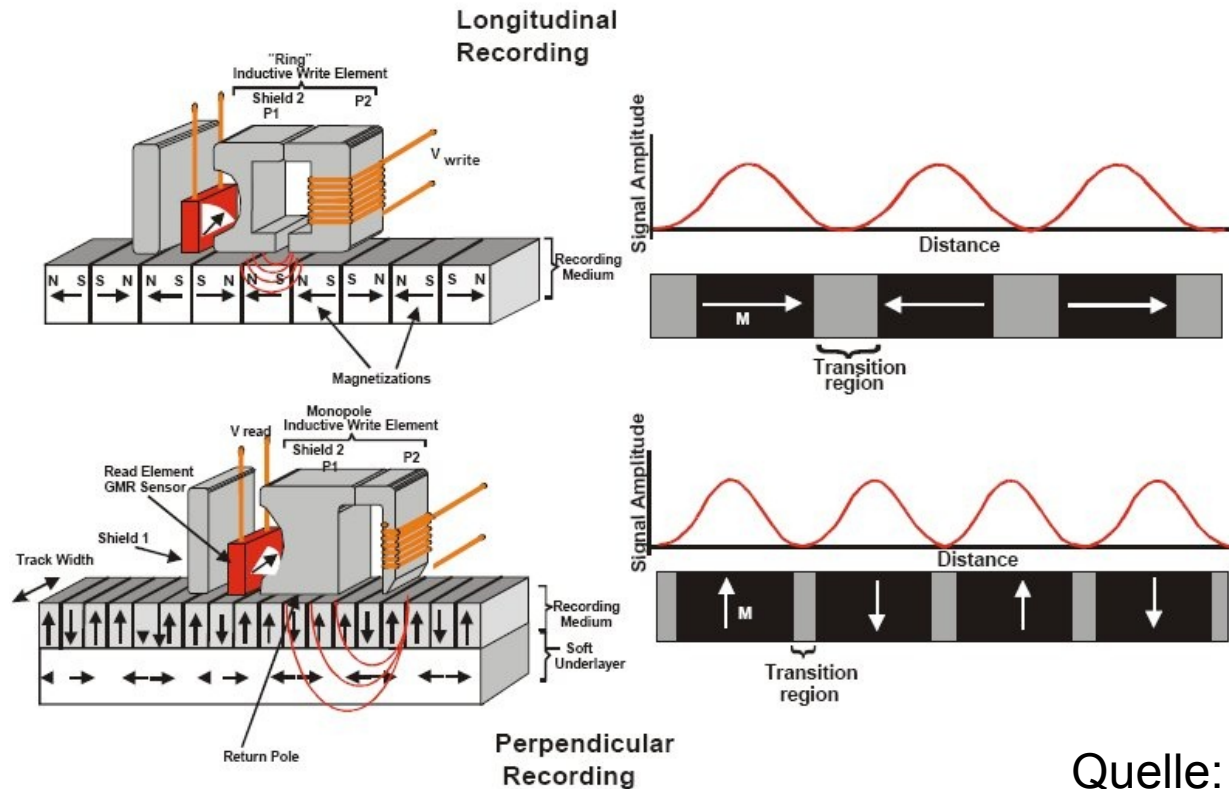
# Haarspalterei

typ. Flughöhe des  
Schreib-/Lesekopfes,  
weniger als 20 nm

Haar, Durchmesser 0.1 mm



# dichter und dichter

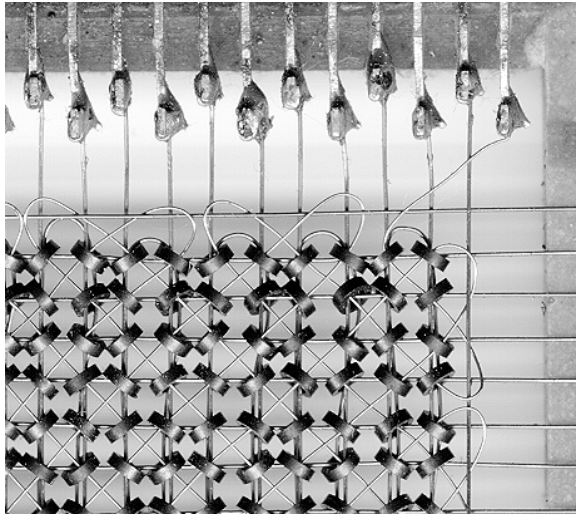


- perpendicular magnetic recording (PMR)
- heat-assisted magnetic recording (HAMR)

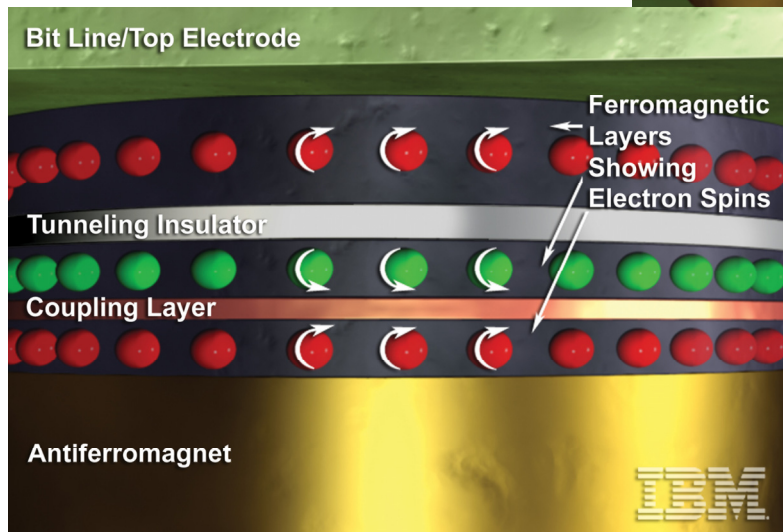
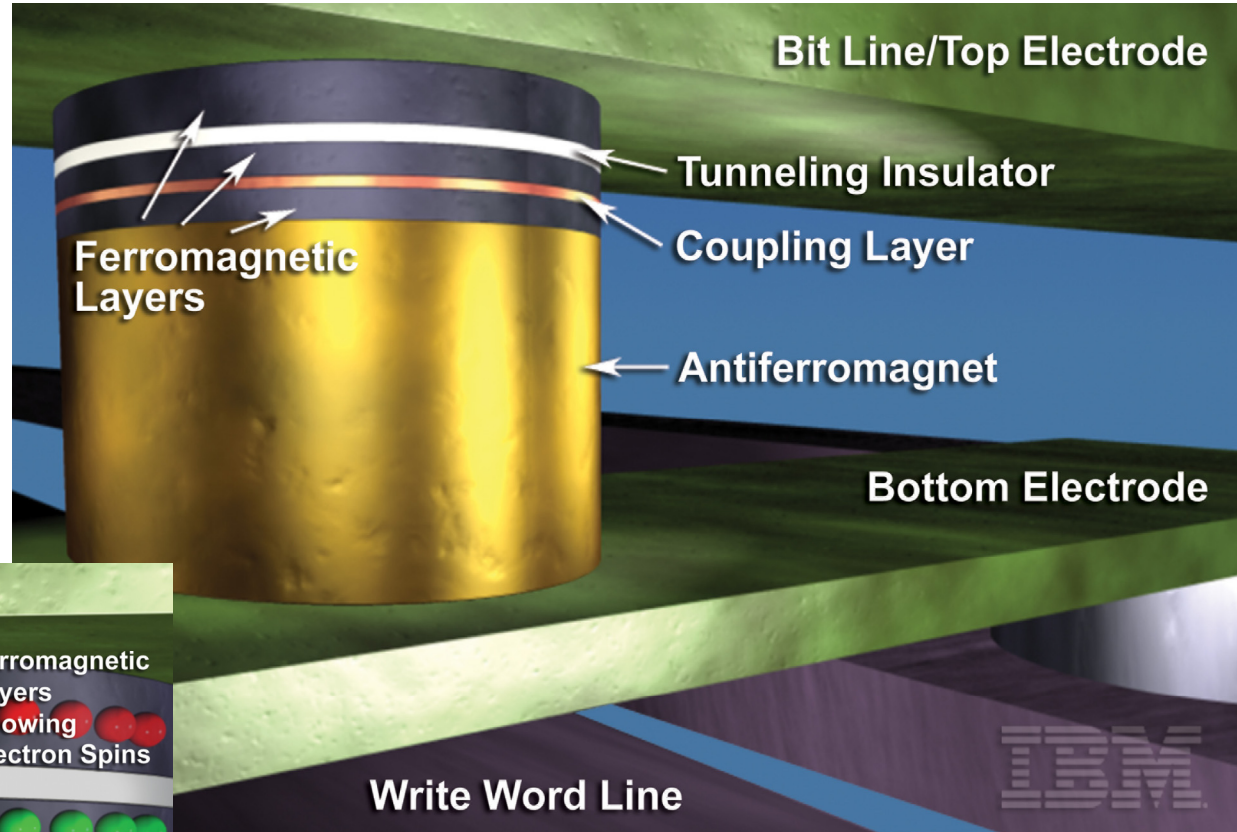
“alles schon mal dagewesen” ...

# MRAM

damals...



... und heute



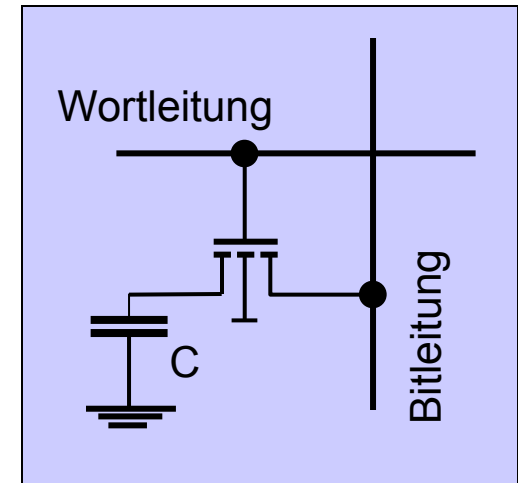
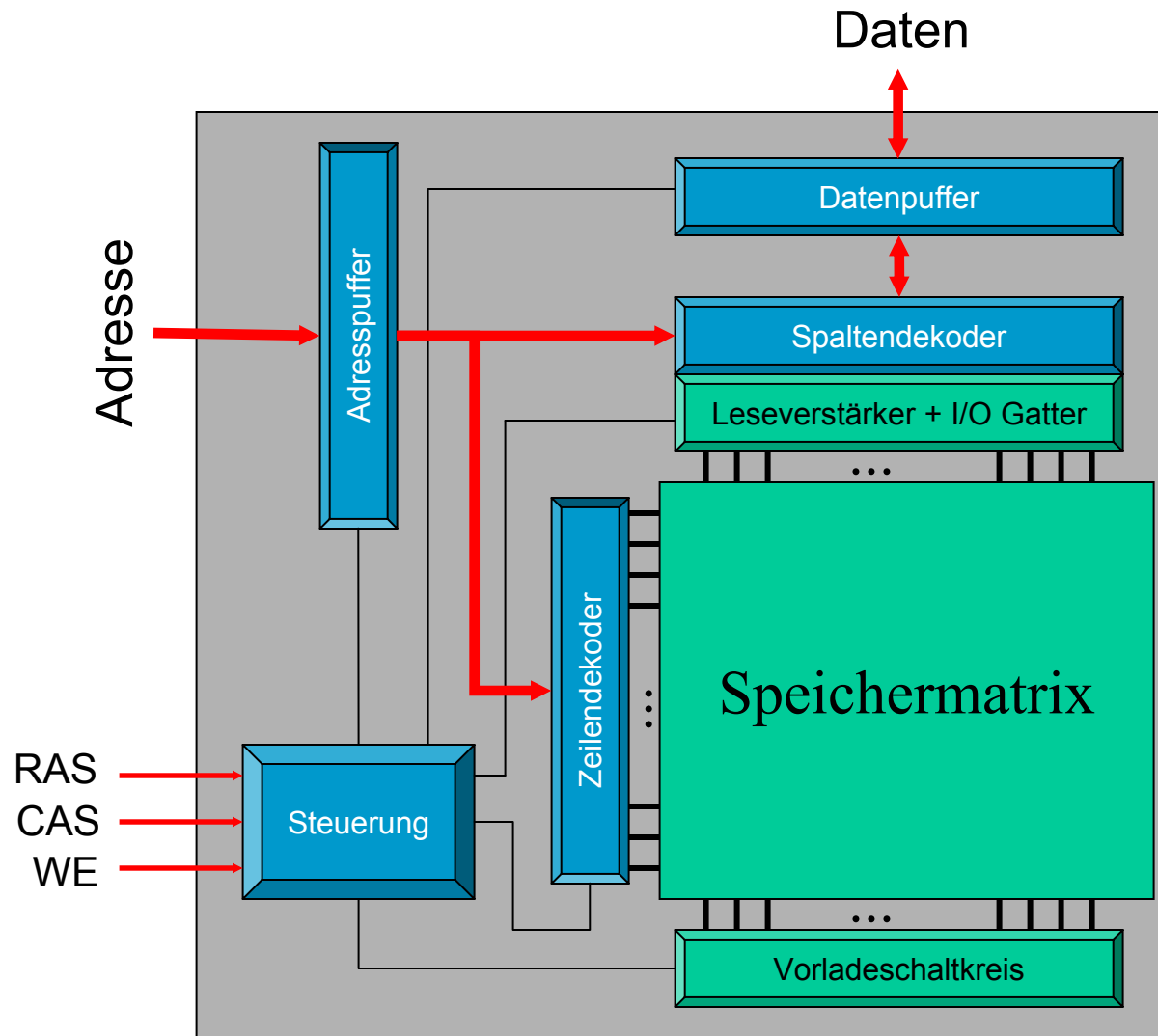
Quelle: IBM

## Permanente Datenspeicherung in ferromagnetischem Material



# kleine Zelle, daher flüchtig ...

## DRAM



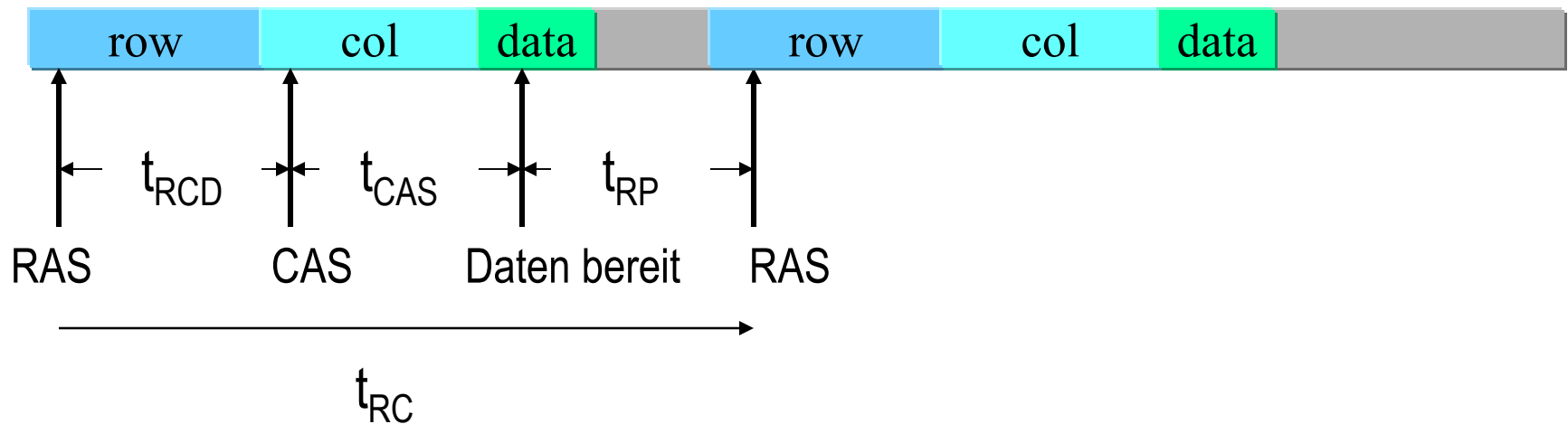
Refresh !

# DRAM-Kenngrößen

---

- **t<sub>RP</sub>** RAS-precharge-time
- **t<sub>RCD</sub>** RAS-CAS-delay
- **t<sub>CAS</sub>** CAS-latency-time
- **t<sub>RAS</sub>** row-active-time
- **t<sub>RC</sub>** row-cycle-time

# Standardzugriff

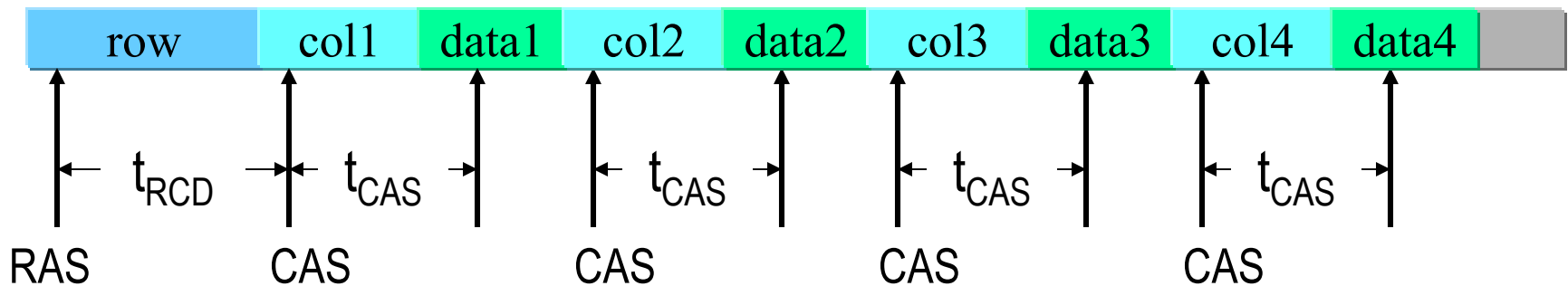


$$\text{min. Zugriffszeit} = t_{RCD} + t_{CAS} \quad 30\text{-}70 \text{ ns}$$

$$\text{Zykluszeit } t_{RC} = t_{RCD} + t_{CAS} + t_{RP} \quad 45\text{-}100 \text{ ns}$$

## Fast Page Mode (FPM)

- schnellerer Lese-Zugriff innerhalb einer Zeile

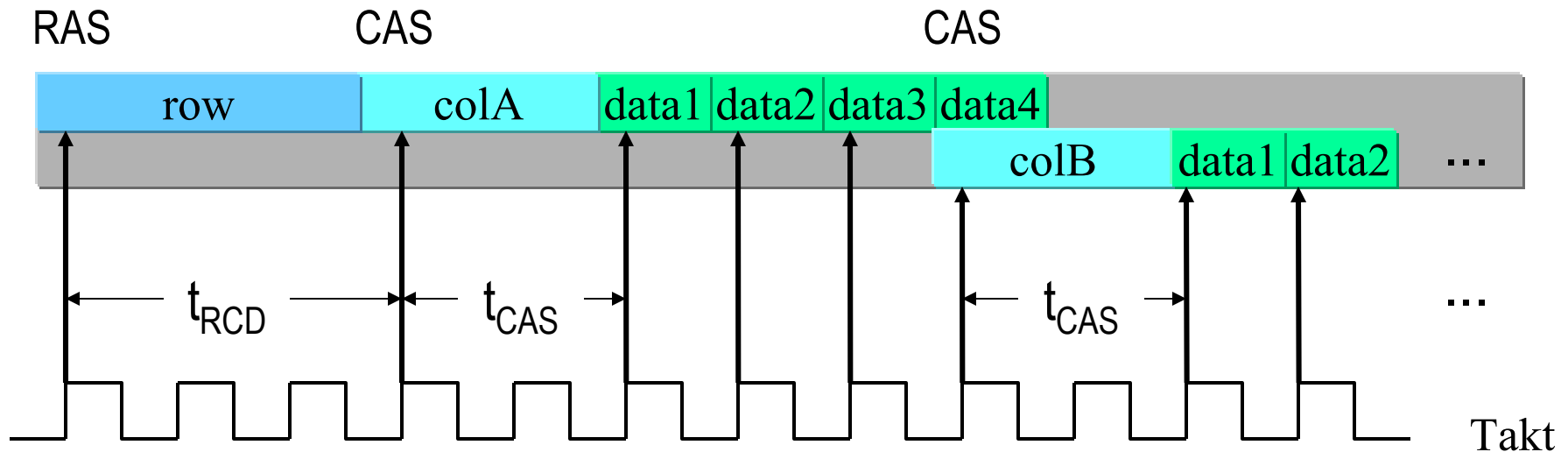


$$\text{CAS - Zykluszeit} = t_{CAS} + \text{Auslesen} = 40 \text{ ns}$$

typ. Burst-Zugriff: 5-3-3-3 bei max. 66 MHz

## Synchrones DRAM (SDRAM)

- taktsynchroner Zugriff im burst mode
- internes Befehlsregister
- interleaved memory



Im burst-mode werden Daten im Taktzyklus geliefert: 6-8 ns

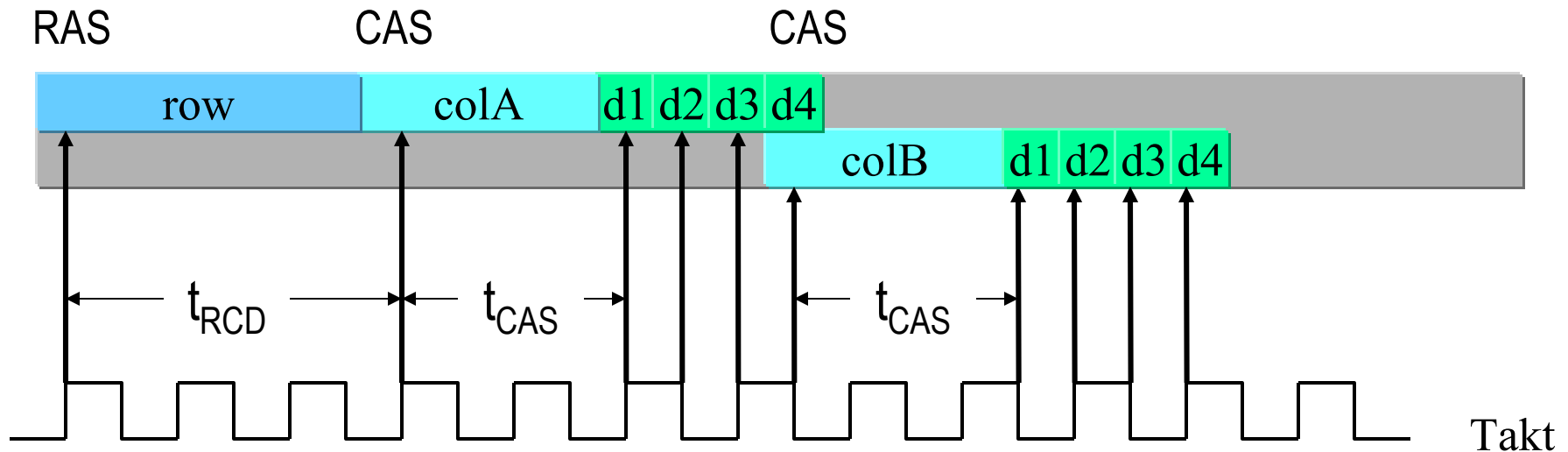
typ. Burst-Zugriff: 5-1-1-1 bei max. 166 MHz

... am schnellsten ...

## DRAM-Typen

### Double Data Rate (DDR-SDRAM)

- Zugriff bei steigender **und** fallender Taktflanke



Im burst-mode werden zwei Daten pro Taktzyklus geliefert: 625 ps

typ. Burst-Zugriff: 30-0.5-0.5-0.5 bei max. 800 MHz

### Absolutwerte

$t_{\text{CAS}}, t_{\text{RCD}}, t_{\text{RP}}$       10 - 15 ns

$t_{\text{RAS}}$                       30 - 45 ns

Angabe häufig relativ auf Basis von Taktzyklen

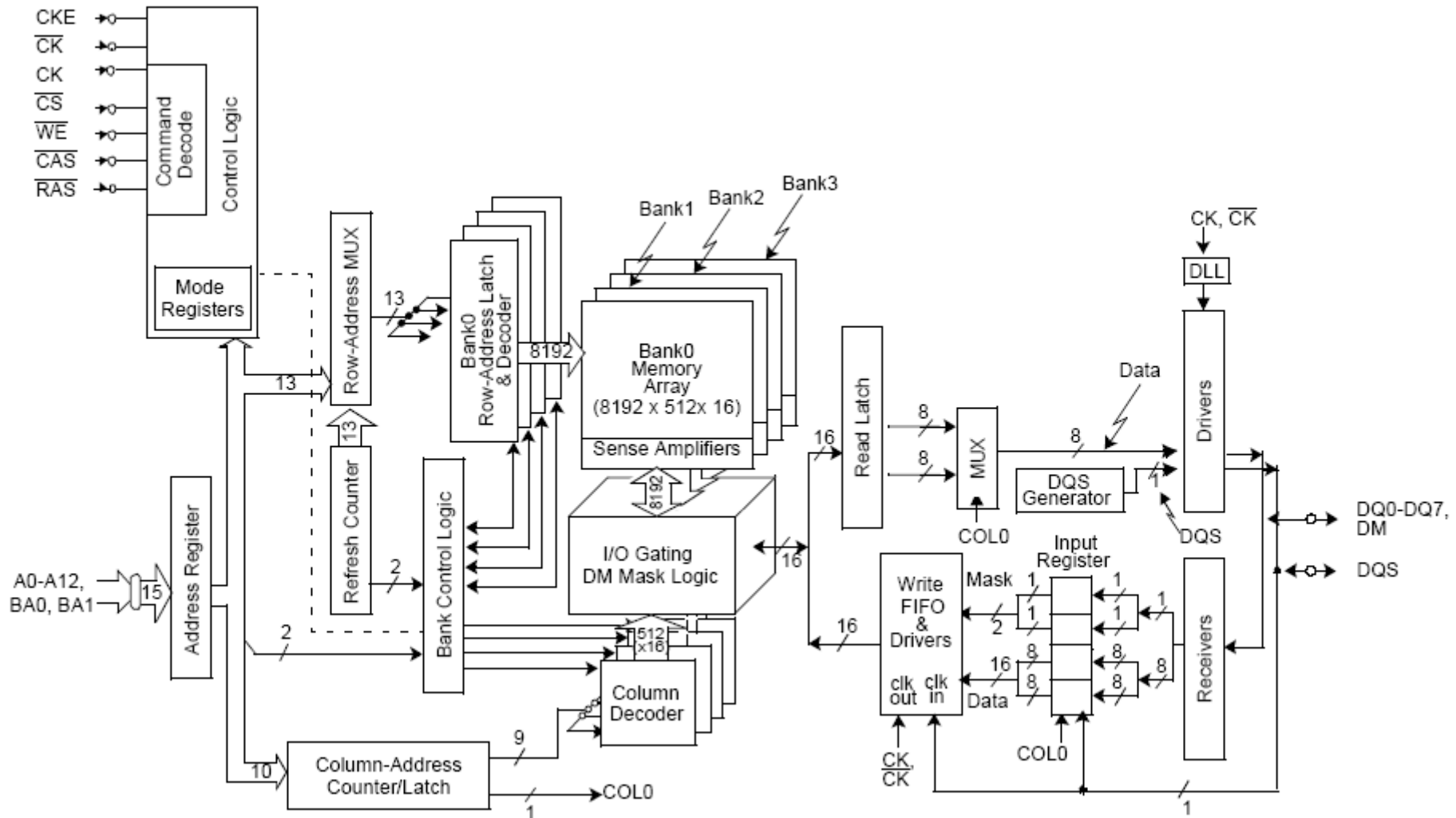
z.B.

$(t_{\text{CAS}} - t_{\text{RCD}} - t_{\text{RP}} - t_{\text{RAS}})$

Typ	IO-Takt	Timing
DDR-266	133 MHz	2-2-2-6
DDR2-667	333 MHz	5-5-5-15
DDR3-1600	800 MHz	8-8-8-24

Organisation ist alles ...

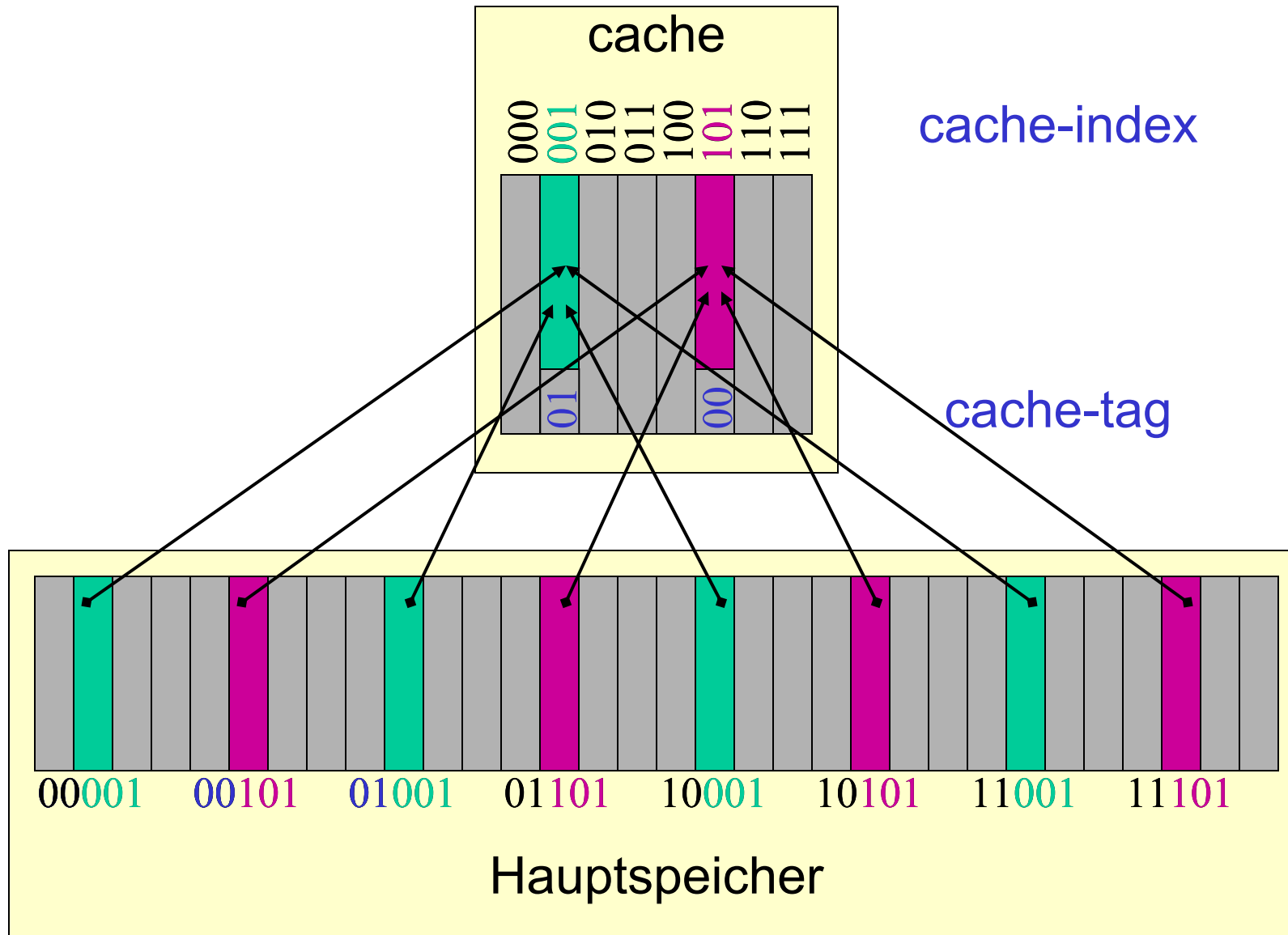
# Beispiel: Infineon DDR-SDRAM 32Mbx8



Quelle: Infineon

# Prinzip des Cache:

## direct-mapped cache



- **cache-index**
  - ein Teil der Adresse bestimmt die Position im Cache
- **cache-tag**
  - die restlichen Adressbits werden zusätzlich zu den Daten abgespeichert
- **valid bit**
  - zur Erkennung eines gültigen Blocks

**hit:** (Daten im Cache vorhanden)

➔ sehr schneller Zugriff auf Daten/Befehle durch SRAM

**miss:** (Daten nicht vorhanden)

➔ Verarbeitung unterbrechen und Datenblock aus Hauptspeicher (DRAM) ins Cache nachladen

hit:

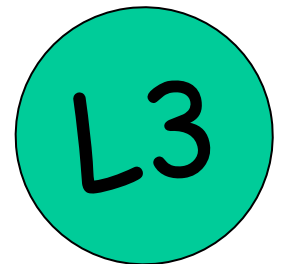
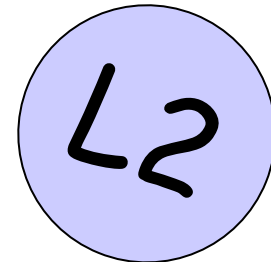
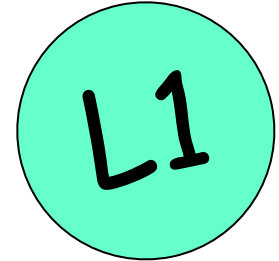
- write-through (WT)
  - aktualisiere das Cache **und sofort** auch den Hauptspeicher
  - write buffer
- copy-back (CB)
  - aktualisiere das Cache und markiere Block als „dirty“
  - aktualisiere Hauptspeicher erst, wenn der Block aus dem Cache entfernt wird

### miss:

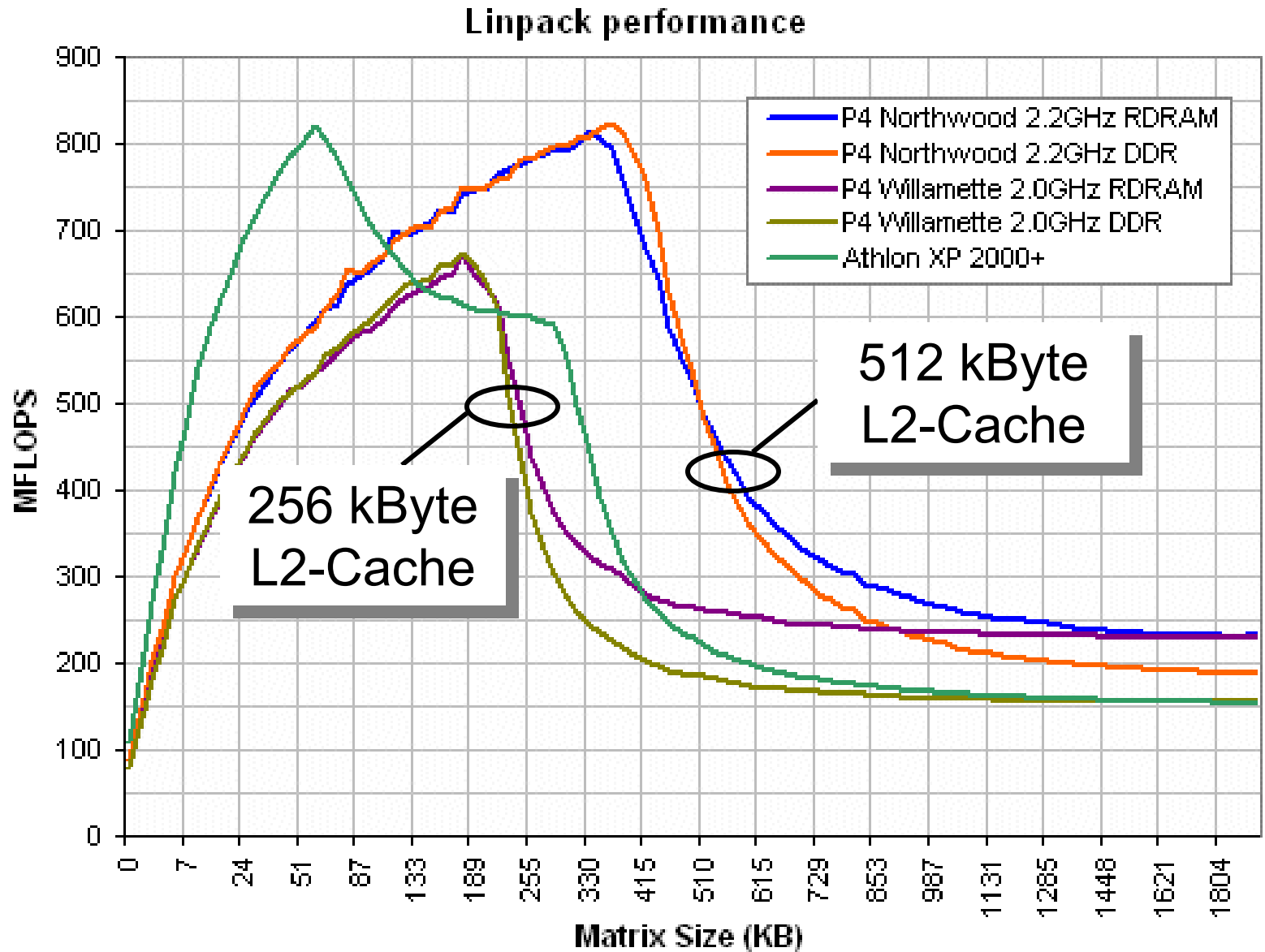
- **write-around**
  - ignoriere das Cache und schreibe direkt in den Hauptspeicher
- **fetch-on-write**
  - ersetze Cache-Inhalt und lade die restlichen Daten des zugehörigen Blocks aus dem Hauptspeicher nach
- **no-fetch-on-write**
  - ersetze Cache-Inhalt und markiere die restlichen Daten im Block als „invalid“

- **direct-mapped**
  - für jeden Block gibt es nur eine mögliche Position im Cache
  - geringer Aufwand aber mäßige hit-rate
- **N-way Set-associative**
  - für jeden Block gibt es N mögliche Positionen im Cache
  - gute hit-rate bei handhabbarem Aufwand
- **fully associative**
  - beliebige Positionierung im Cache
  - optimale hit-rate, aber hoher Verwaltungsaufwand

- **primary cache**
  - möglichst geringe hit-time
  - hit-rate unkritisch
- **secondary cache**
  - möglichst hohe hit-rate
  - hit-time unkritisch



# Cache - Performance



- DRAM als Festplatten-Cache
  - „unbegrenzter“ Arbeitsspeicher
  - Address-Translation zwischen virtueller und physikalischer Adresse (Page Table)
- Translation-Lookaside-Buffer (TLB)
  - Cache für Page-Table